

## USB2.0-IDEブリッジ



$\mu$ PD720133は、USB2.0とATA/ATAPI間のブリッジを実現するための汎用LSIで、Universal Serial Bus Specification Revision 2.0のHigh-speed Capable device規格に準拠しています。USB2.0とATA/ATAPI間のブリッジ実現のため、 $\mu$ PD720133はCISC Processor, ATA/ATAPI Controller, Endpoint Controller (EPC), Serial Interface Engine (SIE)とUSB2.0 Transceiverなどを内蔵しています。USB2.0 ProtocolとClass Specific Protocol (Bulk Only Protocol)は、USB2.0 Transceiver, SIEおよびEPCにより処理され、Transport Layerは内蔵のV30MZ CISC Processorにより実現されます。 $\mu$ PD720133の制御ソフトウェアは内蔵ROMに保持されており、EEPROM™をサポートすることで機能のアップデートが図れます。

## 特 徴

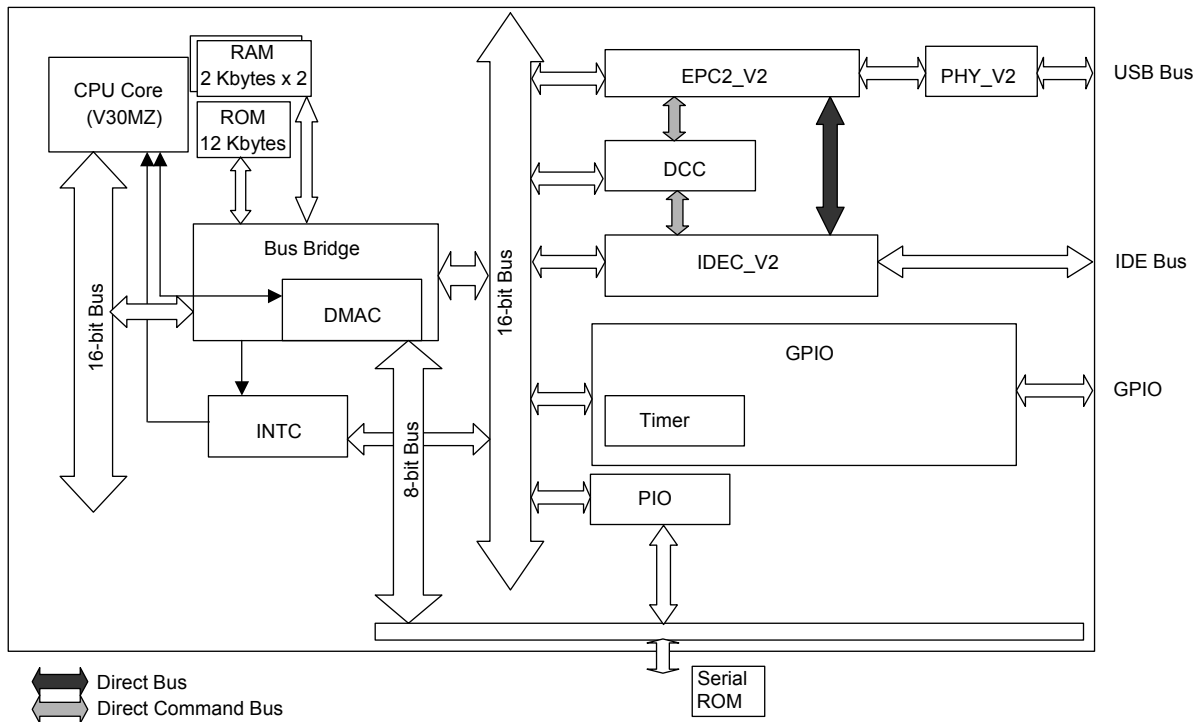
Universal Serial Bus Specification Revision 2.0 (Data Rate 12/480 Mbps)に準拠  
ATA/ATAPI-6 (LBA48, PIO Mode 0-4, Multi Word DMA Mode 0-2, Ultra DMA Mode 0-4)に準拠  
低消費電力“USB2.0 High-speed Bus Powered Device”を実現可能  
USB Implementers Forumにより認証されており、USB 2.0 High-speed Logo付(TID: 40001985)  
Full-speedの送受信も実現できるUSB2.0 High-speed Transceiver / Receiver内蔵  
USB2.0 High-speedかFull-speed Packet Protocol Sequencer (Serial Interface Engine)内蔵  
自動Chirp発行とFull-/High-speed Modeの自動切り替え  
set feature (TEST\_MODE)サポート  
CD-ROM, HDDなどIDEデバイスの電力制御機能サポート  
30 MHz X'talによるシステム・クロック生成  
電源電圧： $V_{DD33} = 3.3 V$ と $V_{DD25} = 2.5 V$ の2電源

## オーダ情報

オーダ名称	パッケージ
$\mu$ PD720133GB-YEU-A	64ピン・プラスチックTQFP（ファインピッチ）（10×10） 鉛フリー品
$\mu$ PD720133GB-YEU-Y	64ピン・プラスチックTQFP（ファインピッチ）（10×10） 高耐熱品

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図



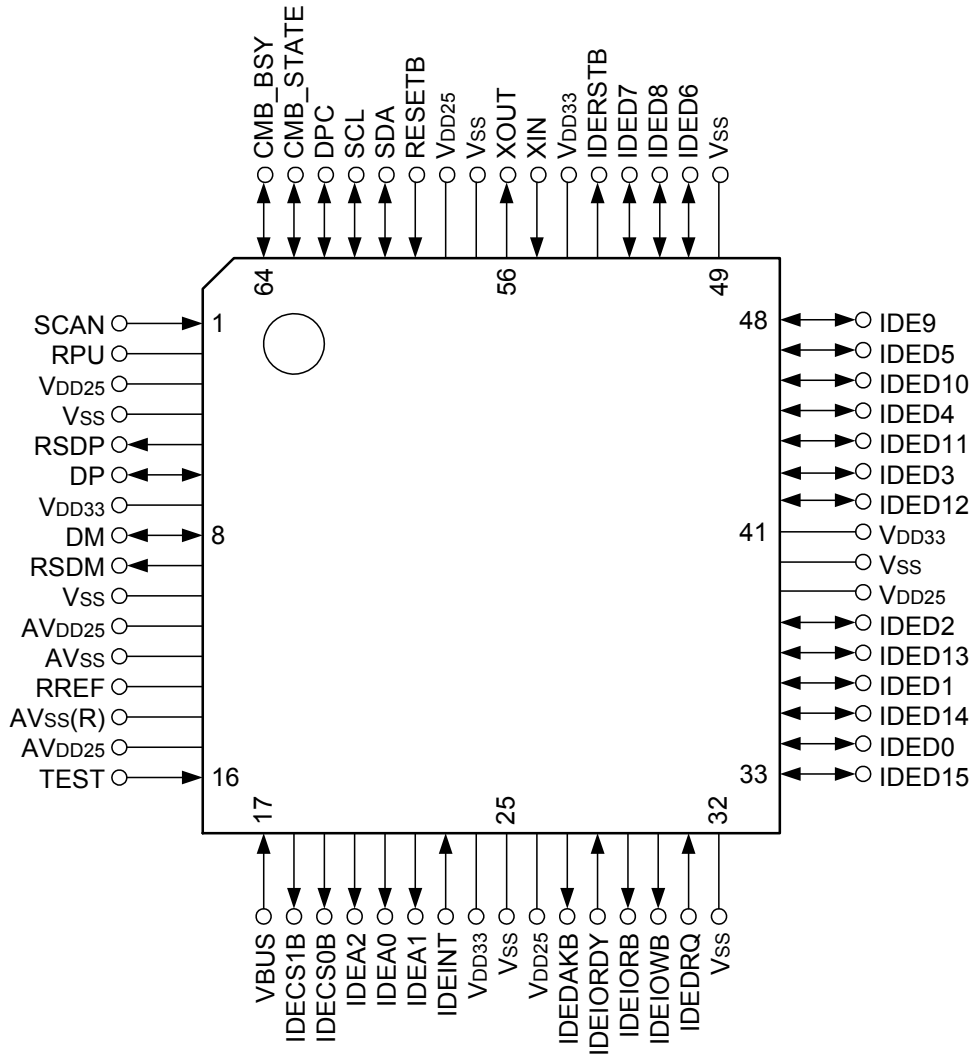
- V30MZ : CISC CPU core
- RAM : 4-Kbyte work RAM for firmware
- ROM : 12-Kbyte ROM for built-in firmware
- PHY\_V2 : USB2.0 transceiver with serial interface engine
- EPC2\_V2 : Endpoint controller
- IDEC\_V2 : IDE controller
- DCC : ATA direct command controller
- Bus Bridge : Internal / external bus controller and DMA controller
- INTC : Interrupt controller (82C59 like)
- GPIO : General purpose 3-bit I/O controller
- PIO : Multipurpose 2-bit I/O controller

端子接続図 (Top View)

・ 64ピン・プラスチックTQFP (ファインピッチ) (10×10)

μPD720133GB-YEU-A

μPD720133GB-YEU-Y



## 端子配置

番号	名称	番号	名称	番号	名称	番号	名称
1	SCAN	17	VBUS	33	IDED15	49	Vss
2	RPU	18	IDECS1B	34	IDED0	50	IDED6
3	VDD25	19	IDECS0B	35	IDED14	51	IDED8
4	Vss	20	IDEA2	36	IDED1	52	IDED7
5	RSDP	21	IDEA0	37	IDED13	53	IDERSTB
6	DP	22	IDEA1	38	IDED2	54	VDD33
7	VDD33	23	IDEINT	39	VDD25	55	XIN
8	DM	24	VDD33	40	Vss	56	XOUT
9	RSDM	25	Vss	41	VDD33	57	Vss
10	Vss	26	VDD25	42	IDED12	58	VDD25
11	AVDD25	27	IDEDAKB	43	IDED3	59	RESETB
12	AVss	28	IDEIORDY	44	IDED11	60	SDA (PIO0)
13	RREF	29	IDEIORB	45	IDED4	61	SCL (PIO1)
14	AVss(R)	30	IDEIOWB	46	IDED10	62	DPC(GPIO5)
15	AVDD25	31	IDEDRQ	47	IDED5	63	CMB_STATE(GPIO6)
16	TEST	32	Vss	48	IDED9	64	CMB_BSY(GPIO7)

備考 AVss(R)は2.43 kΩ 1%精度のレファレンス抵抗を通してRREF端子へ接続してください。

1. 端子機能

端子名	入出力	バッファ・タイプ	アクティブ・レベル	機能
XIN	I	2.5 V入力		システム・クロック入力または発振子入力
XOUT	O	2.5 V出力		発振子出力
RESETB	I	3.3 V Schmitt入力	Low	非同期リセット信号
IDECS(1:0)B	O (I/O)	5 V tolerant出力	Low	IDEホスト・チップ・セレクト
IDEA(2:0)	O (I/O)	5 V tolerant出力		IDEアドレス・バス
IDEINT	I	5 V tolerant入力	High	IDE割り込みリクエスト (デバイスからホストへ)
IDEDAKB	O (I/O)	5 V tolerant出力	Low	IDE DMAアクリッジ
IDEIORDY	I	5 V tolerant入力	High	IDE IOチャネル・レディ
IDEIORB	O (I/O)	5 V tolerant出力	Low	IDE IOリード・ストロブ
IDEIOWB	O (I/O)	5 V tolerant出力	Low	IDE IOライト・ストロブ
IDEDRQ	I	5 V tolerant入力	High	IDE DMAリクエスト (デバイスからホストへ)
IDED(15:0)	I/O	5 V tolerant双方向		IDEデータ・バス
IDERSTB	O (I/O)	5 V tolerant出力	Low	IDEリセット (ホストからデバイスへ)
CMB_BSY (GPIO7)	I/O	3.3 V双方向		コンボIDEバス・ビジー
CMB_STATE (GPIO6)	I/O	3.3 V双方向		コンボIDEバス・ステート
DPC (GPIO5)	I/O	3.3 V双方向		IDEデバイス用電源制御端子
SDA (PIO0)	I/O	3.3 V双方向		シリアルROMデータ信号
SCL (PIO1)	I/O	3.3 V双方向		シリアルROMクロック信号
VBUS	I	5 V Schmitt入力 <sup>注</sup>		VBUSモニタ端子
DP	I/O	USB high speed D+ I/O		USB high speed D+ 信号
DM	I/O	USB high speed D- I/O		USB high speed D- 信号
RSDP	O	USB full speed D+ O		USB full speed D+ 信号
RSDM	O	USB full speed D- O		USB full speed D- 信号
RPU	A	USB pull-up control		USB 1.5 kΩプルアップ抵抗制御端子
RREF	A	Analog		リファレンス抵抗
SCAN	I	3.3 V入力		スキャン・モード制御端子
TEST	I	3.3 V入力		テスト・モード制御端子
AVDD25				アナログ回路用2.5 V V <sub>DD</sub>
VDD25				2.5 V V <sub>DD</sub>
VDD33				3.3 V V <sub>DD</sub>
AVSS				アナログ回路用グラウンド
VSS				グラウンド

**注** VBUS端子はVBUSラインのモニタのために使われますが、システム電源が落ちて、V<sub>DD33</sub>、V<sub>DD25</sub>とAV<sub>DD25</sub>がV<sub>SS</sub>と同レベルになる場合も考えられます。このようなケースが考えられる場合、システムはVBUS端子への入力電圧を3.0 V以下になるようにしてください。

- 備考** 1. “5 V tolerant”とは、5 V耐量を持った3.3 Vバッファのことです。  
 2. 入出力欄で“(I/O)”と示されているものは、テスト・モードでは双方向バッファとして動作します。通常の使用では考慮する必要はありません。

## 2. 動作説明

USB-IDEシステムは、μPD720133, USB Vendor ID, Product IDなどを保持するシリアルROMと電源制御回路で構成できます。μPD720133はバスパワー・モードとセルフパワー・モードのいずれかを選択できます。USB-IDEシステム全体の消費電力がバスパワー・システムの規格より小さいなら、high-speed capable bus powered systemを実現することも可能です。μPD720133はバスパワー・システムを実現するために、いくつかの低消費電力化の機能を持っています。また、システムによっては2つのIDEコントローラが1つのIDEデバイスを制御することもあります。この場合、各IDEコントローラにはIDEバスのアービトレーション機能が要求されます。μPD720133はこのIDEバスのアービトレーション機能も備えています。

μPD720133内蔵のIDEコントローラの動作モードは、シリアルROMに保持されたデータによって制御されます。

### 2.1 シリアルROMに保持されるデータ

μPD720133はVendor ID, Product IDやUSB関連の情報をデバイスの初期化時にシリアルROMから読み込みます。シリアルROMに保持されるデータは次のようなものになります。

表2 - 1 シリアルROM に保持されるデータ

オフセット (H)	データ・サイズ	項目	説明
+00	1ワード	idMark	Validation Mark (Symbol : 55AAH)
+02	1ワード	Checksum	シリアルROMのチェックサム
+04	1ワード	Flags	ディスクリプタのオーバライトなどの制御
+06	1バイト	ModeReset	PWR, CLC, DCC, DV[1:0], DPCのリセット・フィールド
+07	1バイト	ModeSet	PWR, CLC, DCC, DV[1:0], DPCのセット・フィールド
+08	1ワード	idVendor	DeviceディスクリプタのidVendorフィールド
+0A	1ワード	idProduct	DeviceディスクリプタのidProductフィールド
+0C	1ワード	bcdDevice	DeviceディスクリプタのbcdDeviceフィールド
+0E	1ワード	Reserved	予約
+10	1バイト	MaxPower Bus	バスパワー・モードのConfigurationディスクリプタのbMaxPowerフィールド
+11	1バイト	MaxPower Self	セルフパワー・モードのConfigurationディスクリプタのbMaxPowerフィールド
+12	1バイト	bInterfaceClass	InterfaceディスクリプタのbInterfaceClassフィールド
+13	1バイト	bInterfaceSubClass	InterfaceディスクリプタのbInterfaceSubClassフィールド
+14	1バイト	bInterfaceProtocol	InterfaceディスクリプタのbInterfaceProtocolフィールド
+15	1バイト	Reserved	予約
+16	1ワード	TxModeReset	Ultra DMA 66のようなIDE転送タイプのリセット・フィールド
+18	1ワード	TxModeSet	Ultra DMA 66のようなIDE転送タイプのセット・フィールド
+1A	1ワード	ROMpatchSW	拡張機能のROMパッチ適用情報(ROMパッチのON/OFF設定)
+1C	4バイト	Reserved	予約
+20	32バイト	ManufactureString	ManufacturerのStringディスクリプタ
+40	32バイト	ProductString	ProductのStringディスクリプタ
+60	32バイト	SerialString	Device Serial NumberのStringディスクリプタ
+80	128 x nバイト	FW Patch	セルフパワー / バスパワー時のファームウェア・パッチ・モジュール

## 2.2 端子の設定

シリアルROM関連の端子（SCL, SDA）および未使用端子（TEST, SCAN）の設定を下の表に示します。SCL端子の設定は、使用するシリアルROMの容量によって異なりますので注意が必要です。

表2 - 2 端子設定

端子名	設定
SCL	プルアップ <sup>注</sup>
SDA	プルアップ
TEST	ロウクランプ
SCAN	ロウクランプ

**注** シリアルROMの大きさが2 Kバイト以上なら、SCLはプルダウンしてください。

CMB\_BSY, CMB\_STATEのような其他端子の設定は、USB-IDEシステムによって変わります。たとえば、2つのIDEコントローラが1つのIDEデバイスを制御し、そのIDEコントローラ的一方がμPD720133なら、CMB\_BSYとCMB\_STATEはIDEコントローラ間のハンドシェイクのために使用することになります。一方、IDEコントローラがμPD720133のみのシステムでは、CMB\_BSYとCMB\_STATEはロウ・クランプされなければなりません。

2.3 シリアルROMによるIDEコントローラの状態

次の表は、シリアルROMの設定によるIDEコントローラの状態を示しています。

表2 - 3 DV1/DV0, CLC, PWR 設定

No.	デバイス・パワー	内部クロック	ATA/ATAPI	シリアルROM内の設定			
				PWR	CLC	DV1	DV0
0	バスパワー	7.5 MHz	未接続	1	1	1	1
1			ATA	1	1	1	0
2			ATAPI	1	1	0	1
3			予約	1	1	0	0
4		60 MHz	未接続	1	0	1	1
5			ATA	1	0	1	0
6			ATAPI	1	0	0	1
7			予約	1	0	0	0
8	セルフパワー	60 MHz	未接続	0	1	1	1
9			コンボ (ATA)	0	1	1	0
10			コンボ (ATAPI)	0	1	0	1
11			コンボ (自動判別)	0	1	0	0
12			未接続	0	0	1	1
13			ATA	0	0	1	0
14			ATAPI	0	0	0	1
15			自動判別	0	0	0	0

- 備考 1. No. 0, 3, 4, 7, 8, 12 の設定は禁止
2. バスパワードを選択する場合、全システムの消費電力など、検討の必要な重要事項があります。
  3. Slave 設定時は、ATA/ATAPI の自動判別が使用できません。

表2 - 4 DV1/DV0, DCC 設定

条 件				シリアルROM内 のDCC設定	説 明
DV1	DV0	モード	対象デバイス		
1	0	ATA固定	ATA	Reset	Ultra, Multi Word DMA機能OFF
				Set	Ultra, Multi Word DMA機能ON
0	1	ATAPI固定	ATAPI	Reset	Ultra DMA機能のみOFF
				Set	Ultra, Multi Word DMA機能ON
0	0	自動判別	ATA	Reset	Ultra, Multi Word DMA機能OFF
				Set	Ultra, Multi Word DMA機能 ON
			ATAPI	Reset	Ultra DMA機能のみOFF
				Set	Ultra, Multi Word DMA機能ON

備考 PIO Mode 0-4は常時有効です。



2.4 コンボ・モード機能

μPD720133は、2つのIDEコントローラが1つのIDEデバイスを制御するようなシステムを実現する場合、2つのIDEコントローラ間のIDEバス・アービトレーションを実現する必要があります。このため、μPD720133はコンボ制御信号(CMB\_BSYとCMB\_STATE)を備えています。コンボ・モードはPWR = 0でCLC = 1のときに有効になります。

CMB\_BSYとCMB\_STATEは次のように結線してください。

図2 - 1 CMB\_BSY と CMB\_STATE の他 IDE コントローラとの結線

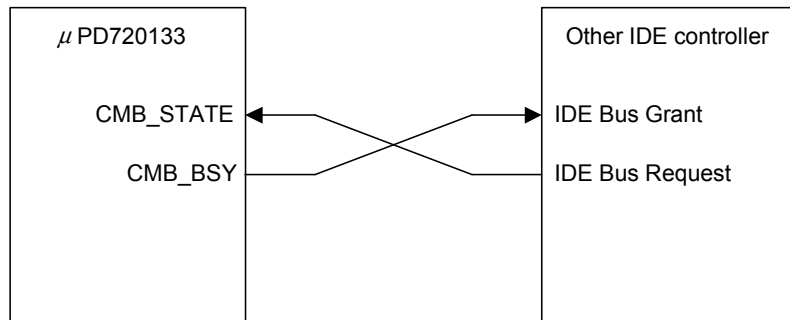
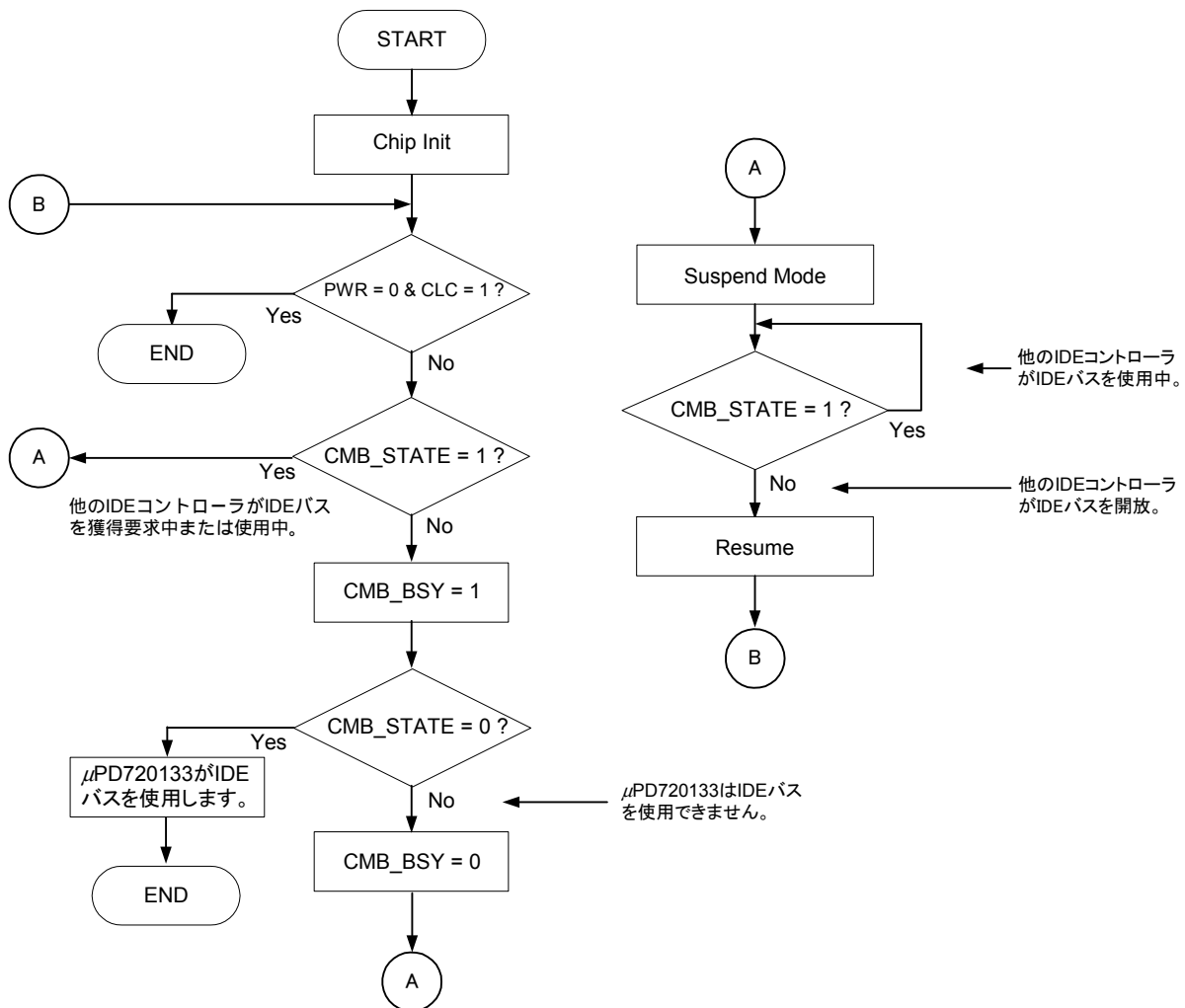


表2 - 5 CMB\_BSY と CMB\_STATE の端子説明

端子名	方向	値	説明
CMB_STATE	IN	0	相手側がIDEバス・アクセス権を獲得(または獲得要求)していない
		1	相手側がIDEバス・アクセス権を獲得(または獲得要求)している
CMB_BSY	OUT	0	μPD720133がIDEバス・アクセス権を獲得(または獲得要求)していない
		1	μPD720133がIDEバス・アクセス権を獲得(または獲得要求)している

IDEバスの調停作業は次のシーケンスで行われます。μPD720133はまず、相手側のIDEコントローラがIDEバスを使用しておらず、獲得要求もしていないことを確認します。相手側のIDEコントローラがIDEバスを使用しておらず、獲得要求もしていないなら、μPD720133は獲得要求を発行します。一方、相手側のIDEコントローラがIDEバスを使用しているか獲得要求を出している場合は、μPD720133はサスペンド状態に移行します。サスペンド状態からの復帰はCMB\_STATE端子がロウ・レベルになると行われます。サスペンド状態から復帰すると、調停シーケンスの始めに戻ります。

図2 - 2 IDE バスの調停シーケンス

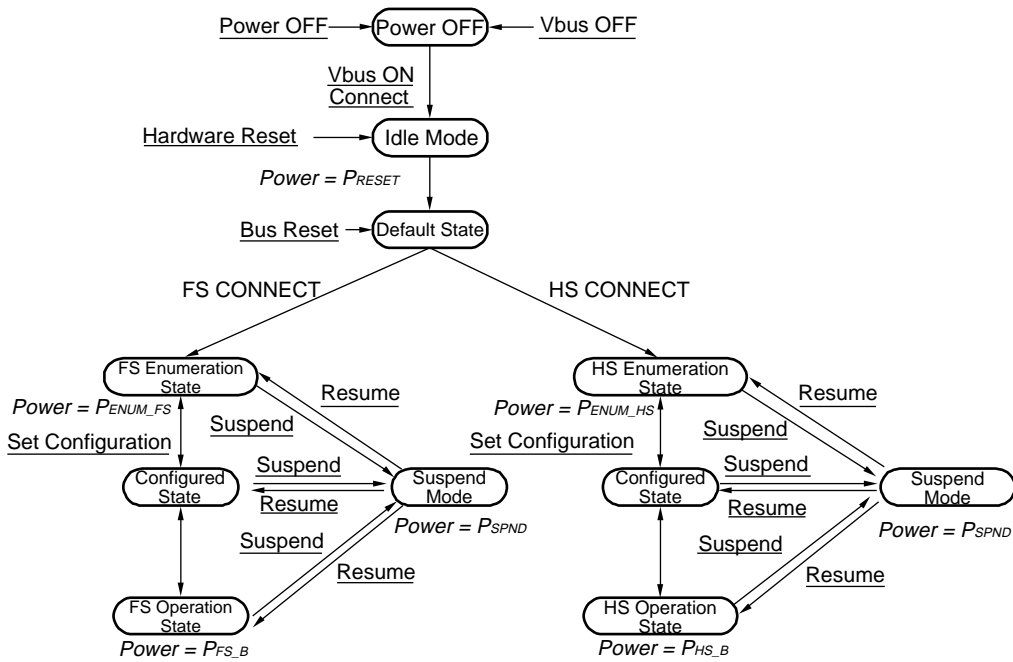


2.5 電力制御

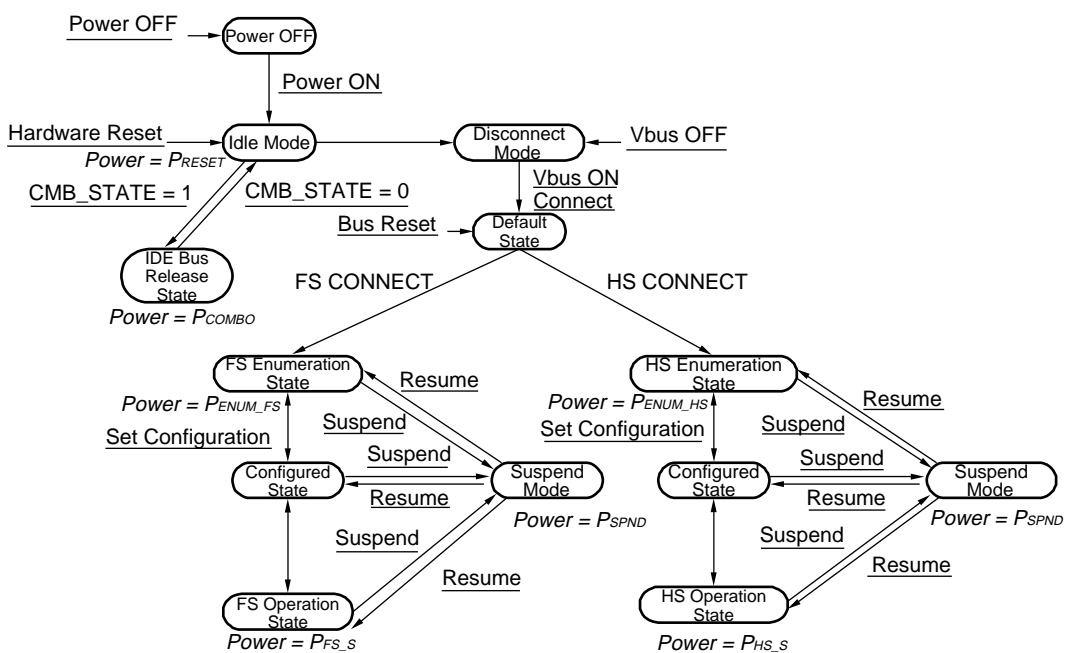
バスパワーまたは高性能なセルフパワーUSB2.0-IDEブリッジ・システムを実現するために、μPD720133は2種類の内部システム・クロックの設定を持っています（バスパワー用の7.5 MHzとセルフパワー用の60 MHz）。μPD720133は次のようにイベントによって電力状態を遷移します。下線付きがイベント、イタリック文字が電力状態を示します。

図2 - 3 電力状態遷移

(a) バスパワー・モード

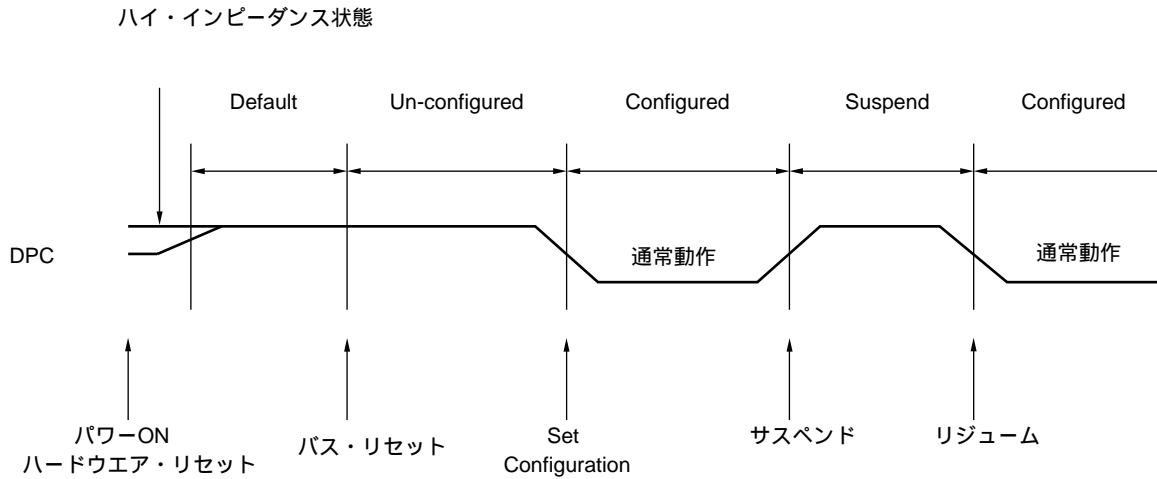


(b) セルフパワー・モード



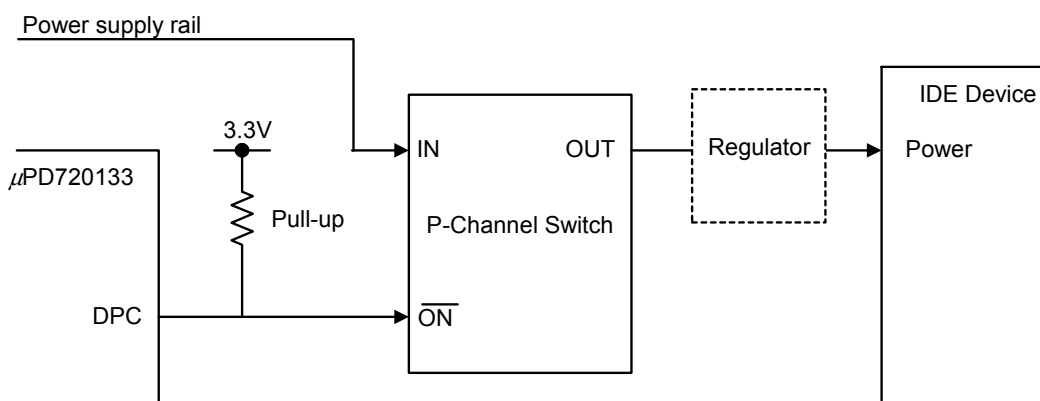
バスパワーUSB2.0-IDEブリッジ・システムを実現するために、μPD720133のステートに合わせてIDEデバイスの消費電力を制御する必要があります。μPD720133はIDEデバイスの電源回路を制御するための端子としてDPCを備えています。DPC端子はUSBデバイス・ステートと連動して出力レベルが変わります。この端子はμPD720133が初期化されるまで、出力ハイ・インピーダンスとなるので、3.3Vでプルアップする必要があります。

図2 - 4 DPC 端子による IDE デバイスの電力制御



次の回路例ではIDEデバイスへの電源をDPC端子により制御することで、システムの電源投入からConfiguredステートに入るまでの間、IDEデバイスへの電源をOFFにしておくことができます。また、USB suspendに入った場合も、IDEデバイスへの電源をOFFにしておくことができます。これにより、バスパワー・デバイスに期待される消費電力の制御を実現できます。

図2 - 5 電力制御回路例



### 3. 電気的特性

#### 3.1 バッファ・リスト

- 2.5 V発振器インタフェース  
XIN, XOUT
- 3.3 V入力バッファ  
SCAN, TEST
- 3.3 Vシュミット入力バッファ  
RESETB
- 3.3 V  $I_{OL} = 3 \text{ mA}$  入力制御信号付き双方向バッファ (OR-type)  
SDA, SCL, DPC (GPIO5), CMB\_STATE (GPIO6), CMB\_BSY (GPIO7)
- 5 Vシュミット入力バッファ  
VBUS
- 5 V  $I_{OL} = 6 \text{ mA}$  入力制御信号付き双方向バッファ (OR-type)  
IDED(15:0), IDEINT, IDEIORDY, IDEDRQ, IDECS(1:0)B, IDEA(2:0), IDEDAKB, IDEIORB, IDEIOWB, IDERSTB
- USBインタフェース  
DP, DM, RSDP, RSDM, RREF, RPU

**備考** “5 V” は5 V耐量を持った3.3 Vバッファを意味します。5 Vバスに接続できますが出力レベルは電源電圧と同じ3.3 Vまでになります。

3.2 用語説明

絶対最大定格に関する用語

項目	略号	説明
電源電圧	V <sub>DD33</sub> , V <sub>DD25</sub>	V <sub>DD</sub> 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
入力電圧	V <sub>I</sub>	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電圧	V <sub>O</sub>	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電流	I <sub>O</sub>	出力端子から流れ出しても、また流し込んで、破壊や信頼性低下を生じないDC電流の許容最大値を示す。
動作周囲温度	T <sub>A</sub>	正常な論理動作をする周囲温度範囲を示す。
保存温度	T <sub>stg</sub>	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない阻止温度範囲を示す。

推奨動作範囲に関する用語

項目	略号	説明
電源電圧	V <sub>DD33</sub> , V <sub>DD25</sub>	V <sub>SS</sub> = 0 Vとした時に正常な論理動作をする電圧範囲を示す。
ハイ・レベル入力電圧	V <sub>IH</sub>	LSIの入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示す。 ・ MIN.値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証する
ロウ・レベル入力電圧	V <sub>IL</sub>	LSIの入力に印加する電圧で、入力バッファが正常に動作するロウ・レベル状態の電圧を示す。 ・ MAX.値以下の電圧を印加すれば、入力電圧がロウ・レベルであることを保証する
ヒステリシス電圧	V <sub>H</sub>	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差
入力立ち上がり時間	t <sub>ri</sub>	LSIの入力に印加する入力電圧が10%から90%に立ち上がる時間の制限値を示す。
入力立ち下がり時間	t <sub>fi</sub>	LSIの入力に印加する入力電圧が90%から10%に立ち下がる時間の制限値を示す。

DC特性に関する用語

項目	略号	説明
オフステート出力電流	I <sub>OZ</sub>	3ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示す。
出力短絡電流	I <sub>OS</sub>	出力ハイ・レベルのときに、出力端子をGNDと短絡した場合に流れ出す電流。
入力リーク電流	I <sub>I</sub>	入力端子に電圧を印加したときに、入力端子を流れる電流を示す。
ロウ・レベル出力電流	I <sub>OL</sub>	規定されたロウ・レベル出力電圧において、出力端子へ流れ込む電流を示す。
ハイ・レベル出力電流	I <sub>OH</sub>	規定されたハイ・レベル出力電圧において、出力端子へ流れ込む電流を示す。

3.3 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V <sub>DD33</sub>	3.3 V電源	- 0.5 ~ + 4.6	V
	V <sub>DD25</sub>	2.5 V電源	- 0.5 ~ + 3.6	V
入出力電圧, 5 Vバッファ	V <sub>I</sub>	3.0 V V <sub>DD33</sub> 3.6 V V <sub>I</sub> < V <sub>DD33</sub> + 3.0 V	- 0.5 ~ + 6.6	V
入出力電圧, 3.3 Vバッファ	V <sub>I</sub>	3.0 V V <sub>DD33</sub> 3.6 V V <sub>I</sub> < V <sub>DD33</sub> + 1.0 V	- 0.5 ~ + 4.6	V
入出力電圧, 2.5 Vバッファ	V <sub>I</sub>	2.3 V V <sub>DD25</sub> 2.7 V V <sub>I</sub> < V <sub>DD25</sub> + 0.9 V	- 0.5 ~ + 3.6	V
出力電圧, 5 Vバッファ	V <sub>O</sub>	3.0 V V <sub>DD33</sub> 3.6 V V <sub>O</sub> < V <sub>DD33</sub> + 3.0 V	- 0.5 ~ + 6.6	V
出力電圧, 3.3 Vバッファ	V <sub>O</sub>	3.0 V V <sub>DD33</sub> 3.6 V V <sub>O</sub> < V <sub>DD33</sub> + 1.0 V	- 0.5 ~ + 4.6	V
出力電圧, 2.5 Vバッファ	V <sub>O</sub>	2.3 V V <sub>DD25</sub> 2.7 V V <sub>O</sub> < V <sub>DD25</sub> + 0.9 V	- 0.5 ~ + 3.6	V
出力電流, 5 Vバッファ	I <sub>O</sub>	I <sub>OL</sub> = 6 mA	20	mA
出力電流, 3.3 Vバッファ	I <sub>O</sub>	I <sub>OL</sub> = 6 mA	20	mA
		I <sub>OL</sub> = 3 mA	10	mA
動作周囲温度	T <sub>A</sub>		0 ~ + 70	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

2電源に対する制限事項

μPD720133は2.5 Vと3.3 Vの2電源を持ちます。システムは電源が安定するまでにある程度の時間が必要ですが、このとき、2つの電源間で安定するまでの時間にずれが生じる可能性があります。μPD720133はV<sub>DD33</sub>が安定する前にV<sub>DD25</sub>が安定している必要があります。なお、V<sub>DD25</sub>が安定した後、V<sub>DD33</sub>を投入するまでの時間は100 ms以内としてください。また、電源立ち上がりでもシステムは絶対最大定格V<sub>I</sub>/V<sub>O</sub>を越えないようにする必要があります。システム・リセットはV<sub>DD25</sub>とV<sub>DD33</sub>が安定してから、規定時間以上印加する必要があります。

推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V <sub>DD33</sub>	V <sub>DD33</sub> 端子用3.3 V電源	3.0	3.3	3.6	V
	V <sub>DD25</sub>	V <sub>DD25</sub> 端子用2.5 V電源	2.3	2.5	2.7	V
	V <sub>DD25</sub>	AV <sub>DD25</sub> 端子用2.5 V電源	2.3	2.5	2.7	V
ハイ・レベル入力電圧	V <sub>IH</sub>					
5.0 Vハイ・レベル入力電圧			2.0		5.5	V
3.3 Vハイ・レベル入力電圧			2.0		V <sub>DD33</sub>	V
2.5 Vハイ・レベル入力電圧		1.7		V <sub>DD25</sub>	V	
ロウ・レベル入力電圧	V <sub>IL</sub>					
5.0 Vロウ・レベル入力電圧			0		0.8	V
3.3 Vロウ・レベル入力電圧			0		0.8	V
2.5 Vロウ・レベル入力電圧		0		0.7	V	
ヒステリシス電圧	V <sub>H</sub>					
5 Vヒステリシス電圧			0.3		1.5	V
3.3 Vヒステリシス電圧			0.2		1.0	V
入力立ち上がり時間	t <sub>ri</sub>					
通常バッファ			0		200	ns
シュミット・バッファ			0		10	ms
入力立ち下がり時間	t <sub>fi</sub>					
通常バッファ			0		200	ns
シュミット・バッファ			0		10	ms

DC特性 (V<sub>DD33</sub> = 3.0 ~ 3.6 V, V<sub>DD25</sub> = 2.3 ~ 2.7 V, T<sub>A</sub> = 0 ~ +70 )

制御端子ブロック

項目	略号	条件	MIN.	MAX.	単位
オフステート電流	I <sub>OZ</sub>	V <sub>O</sub> = V <sub>DD33</sub> , V <sub>DD25</sub> or V <sub>SS</sub>		± 10	μA
出力短絡電流	I <sub>OS</sub> 注			- 250	mA
ロウ・レベル出力電流	I <sub>OL</sub>				
5.0 Vロウ・レベル出力電流		V <sub>OL</sub> = 0.4 V	6.0		mA
3.3 Vロウ・レベル出力電流		V <sub>OL</sub> = 0.4 V	6.0		mA
3.3 Vロウ・レベル出力電流		V <sub>OL</sub> = 0.4 V	3.0		mA
ハイ・レベル出力電流	I <sub>OH</sub>				
5.0 Vハイ・レベル出力電流		V <sub>OH</sub> = 2.4 V	- 2.0		mA
3.3 Vハイ・レベル出力電流		V <sub>OH</sub> = 2.4 V	- 6.0		mA
3.3 Vハイ・レベル出力電流		V <sub>OH</sub> = 2.4 V	- 3.0		mA
入力リーク電流	I <sub>I</sub>				
3.3 Vバッファ		V <sub>I</sub> = V <sub>DD</sub> or V <sub>SS</sub>		± 10	μA
5.0 Vバッファ		V <sub>I</sub> = V <sub>DD</sub> or V <sub>SS</sub>		± 10	μA

注 出力短絡時間は1秒以下で、LSIの1端子のみ。



USBインタフェース・ブロック

項目	略号	条件	MIN.	MAX.	単位
Serial resistor between DP (DM) and RSDP (RSDM)	R <sub>s</sub>		38.61	39.39	Ω
Output pin impedance	Z <sub>HSDRV</sub>	Includes R <sub>s</sub> resistor	40.5	49.5	Ω
Bus pull-up resistor on upstream facing port	R <sub>PU</sub>	1.5 kΩ ±5% consists of resistance of transistor and pull-up resistor	1.485	1.515	Ω
Termination voltage for upstream facing port pull-up	V <sub>TERM</sub>		3.0	3.6	V
<b>Input Levels for Full-speed:</b>					
High-level input voltage (drive)	V <sub>IH</sub>		2.0		V
High-level input voltage (floating)	V <sub>IHZ</sub>		2.7	3.6	
Low-level input voltage	V <sub>IL</sub>			0.8	V
Differential input sensitivity	V <sub>DI</sub>	(D+) - (D-)	0.2		V
Differential common mode range	V <sub>CM</sub>	Includes V <sub>DI</sub> range	0.8	2.5	V
<b>Output Levels for Full-speed:</b>					
High-level output voltage	V <sub>OH</sub>	R <sub>L</sub> of 14.25 kΩ to V <sub>SS</sub>	2.8	3.6	V
Low-level output voltage	V <sub>OL</sub>	R <sub>L</sub> of 1.425 kΩ to 3.6 V	0.0	0.3	V
SE1	V <sub>OSE1</sub>		0.8		V
Output signal crossover point voltage	V <sub>CRS</sub>		1.3	2.0	V
<b>Input Levels for High-speed:</b>					
High-speed squelch detection threshold (differential signal)	V <sub>HSSQ</sub>		100	150	mV
High-speed disconnect detection threshold (differential signal)	V <sub>HSDSC</sub>		525	625	mV
High-speed data signaling common mode voltage range	V <sub>HSCM</sub>		-50	+500	mV
High-speed differential input signaling level	図3-4参照				
<b>Output Levels for High-speed:</b>					
High-speed idle state	V <sub>HSOI</sub>		-10.0	+10.0	mV
High-speed data signaling high	V <sub>HSOH</sub>		360	440	mV
High-speed data signaling low	V <sub>H SOL</sub>		-10.0	+10.0	mV
Chirp J level (differential signal)	V <sub>CHIRPJ</sub>		700	1100	mV
Chirp K level (differential signal)	V <sub>CHIRPK</sub>		-900	-500	mV

図3 - 1 Differential Input Sensitivity Range for Low-/full-speed

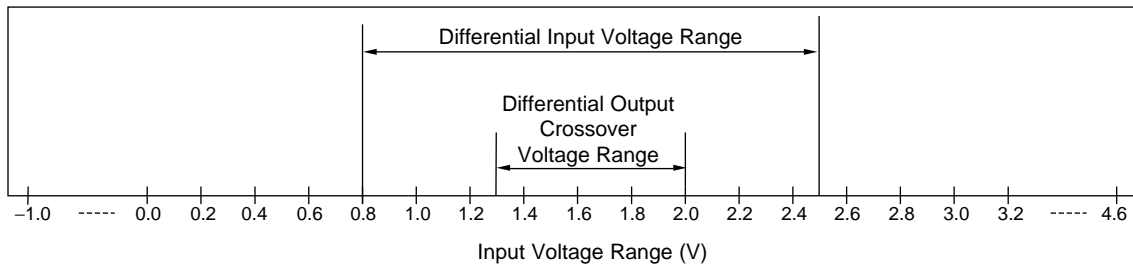


図3 - 2 Full-speed Buffer  $V_{OH}/I_{OH}$  Characteristics for High-speed Capable Transceiver

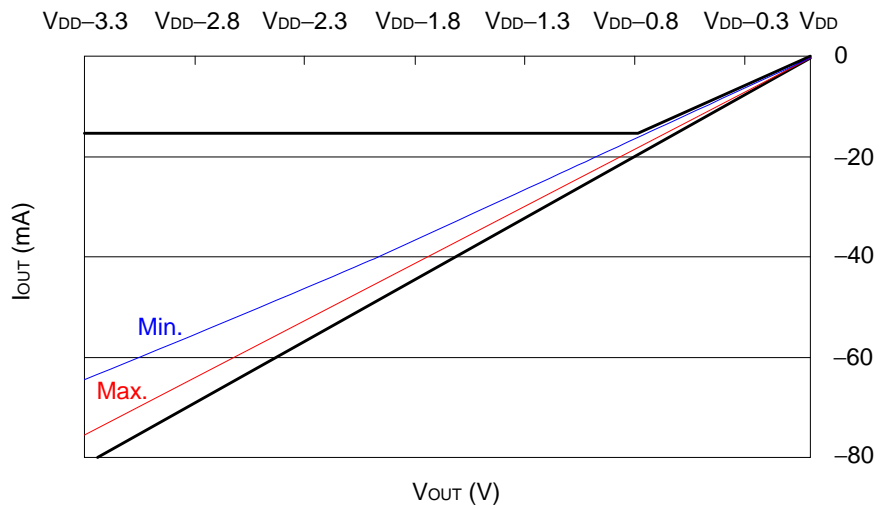


図3 - 3 Full-speed Buffer  $V_{OL}/I_{OL}$  Characteristics for High-speed Capable Transceiver

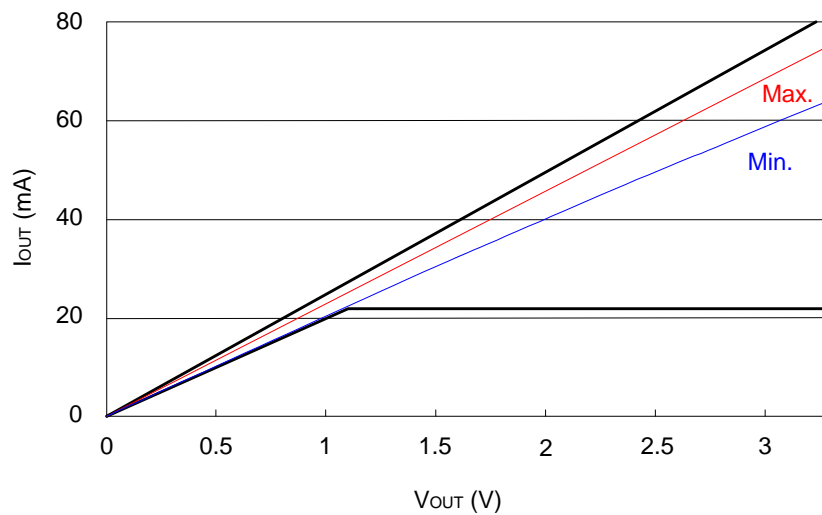


図3 - 4 Receiver Sensitivity for Transceiver at DP/DM

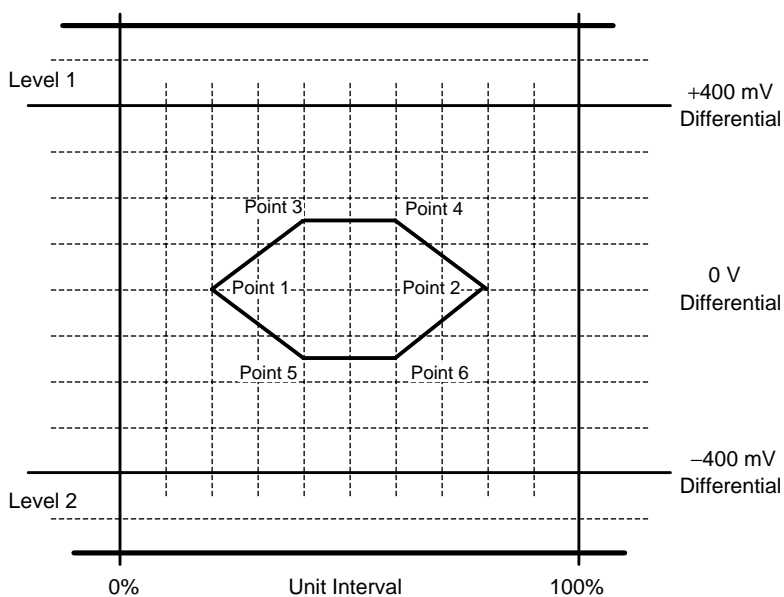
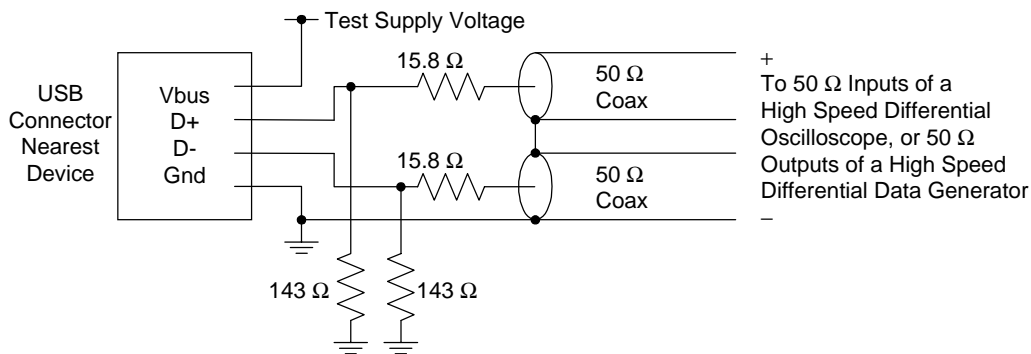


図3 - 5 Receiver Measurement Fixtures



端子容量

項目	略号	条件	MIN.	MAX.	単位
入力容量	C <sub>IN</sub>	V <sub>DD</sub> = 0 V, T <sub>A</sub> = 25	4	6	pF
出力容量	C <sub>OUT</sub>	f <sub>c</sub> = 1 MHz	4	6	pF
入出力容量	C <sub>IO</sub>	検査端子以外は0 Vに設定	4	6	pF

消費電力

(1) バスパワード時

略号	条 件	MAX.			単位
		V <sub>DD25</sub>	V <sub>DD33</sub>	AV <sub>DD25</sub>	
P <sub>ENUM-BUS</sub>	Un-configured state時				
	ハイ・スピードで動作	55	3	10	mA
	フル・スピードで動作	25	4	10	mA
P <sub>W-BUS</sub>	データ転送時				
	ハイ・スピードで動作	100	22	10	mA
	フル・スピードで動作	75	13	10	mA
P <sub>W_SPD-BUS</sub>	Suspend state時	15	235	5	μA

(2) セルフパワード時

略号	条 件	MAX.			単位
		V <sub>DD25</sub>	V <sub>DD33</sub>	AV <sub>DD25</sub>	
P <sub>ENUM-SELF</sub>	Un-configured state時				
	ハイ・スピードで動作	90	5	10	mA
	フル・スピードで動作	60	5	10	mA
P <sub>W-SELF</sub>	データ転送時				
	ハイ・スピードで動作	100	25	10	mA
	フル・スピードで動作	75	13	10	mA
P <sub>W_SPD-SELF</sub>	Suspend state時	50	500	15	μA
P <sub>W_UNP</sub>	Unplug state時	50	500	15	μA
P <sub>W_COM</sub>	コンボ・モード時で、デバイスがIDEバスを開放しているとき	50	500	15	μA

AC特性 (V<sub>DD33</sub> = 3.3 ~ 3.6 V, V<sub>DD25</sub> = 2.3 ~ 2.7 V, T<sub>A</sub> = 0 ~ +70 )

システム・クロック

項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック周波数	f <sub>CLK</sub>	振動子	- 500 ppm	30	+ 500 ppm	MHz
		発振器	- 500 ppm	30	+ 500 ppm	MHz
クロック・デューティ	t <sub>DUTY</sub>		45	50	55	%

- 備考 1. クロック周波数の推奨精度は、±100 ppmです。  
 2. 振動子，発振器の要求精度は部品の精度と容量や電源，温度，経年変化などによる偏差を含みます。

システム・リセット

項目	略号	条件	MIN.	MAX.	単位
リセット・アクティブ時間	t <sub>rst</sub>		2		μs

USBインタフェース・ブロック

(1/2)

項目	略号	条件	MIN.	MAX.	単位
<b>Full-speed Source Electrical Characteristics</b>					
Rise time (10% - 90%)	t <sub>FR</sub>	C <sub>L</sub> = 50 pF, R <sub>s</sub> = 36 Ω	4	20	ns
Fall time (90% - 10%)	t <sub>FF</sub>	C <sub>L</sub> = 50 pF, R <sub>s</sub> = 36 Ω	4	20	ns
Differential rise and fall time matching	t <sub>FRFM</sub>	(t <sub>FR</sub> /t <sub>FF</sub> )	90	111.11	%
Full-speed data rate for device which are high-speed capable	t <sub>FDRATHS</sub>	Average bit rate	11.9940	12.0060	Mbps
Frame interval	t <sub>FRAME</sub>		0.9995	1.0005	ms
Consecutive frame interval jitter	t <sub>RFI</sub>	No clock adjustment		42	ns
Source jitter total (including frequency tolerance):					
To next transition	t <sub>DJ1</sub>		-3.5	+3.5	ns
For paired transitions	t <sub>DJ2</sub>		-4.0	+4.0	ns
Source jitter for differential transition to SE0 transition	t <sub>FDEOP</sub>		-2	+5	ns
Receiver jitter:					
To next transition	t <sub>JR1</sub>		-18.5	+18.5	ns
For paired transitions	t <sub>JR2</sub>		-9	+9	ns
Source SE0 interval of EOP	t <sub>FEOPT</sub>		160	175	ns
Receiver SE0 interval of EOP	t <sub>FEOPR</sub>		82		ns
Width of SE0 interval during differential transition	t <sub>FST</sub>			14	ns

(2/2)

項目	略号	条件	MIN.	MAX.	単位
<b>High-speed Source Electrical Characteristics</b>					
Rise time (10% - 90%)	t <sub>HSR</sub>		500		ps
Fall time (90% - 10%)	t <sub>HSF</sub>		500		ps
Driver waveform	図3-6参照				
High-speed data rate	t <sub>HSDRAT</sub>		479.760	480.240	Mbps
Microframe interval	t <sub>HSFRAM</sub>		124.9375	125.0625	μs
Consecutive microframe interval difference	t <sub>HSRFI</sub>			4 high-speed d	Bit times
Data source jitter	図3-6参照				
Receiver jitter tolerance	図3-4参照				
<b>Device Event Timings</b>					
Time from internal power good to device pulling D+ beyond V <sub>IHZ</sub> (min.) (signaling attached)	t <sub>SIGATT</sub>			100	ms
Debounce interval provided by USB system software after attach	t <sub>ATTDB</sub>			100	ms
Inter-packet delay for full-speed	t <sub>IPD</sub>		2		Bit times
Inter-packet delay for device response w/detachable cable for full-speed	t <sub>RSPIPD1</sub>			6.5	Bit times
High-speed detection start time from suspend	t <sub>SCA</sub>		2.5		μs
Sample time for suspend vs reset	t <sub>CSR</sub>		100	875	μs
Time to detect bus suspend state	t <sub>SPD</sub>		3.000	3.125	ms
Power down under suspend	t <sub>SUS</sub>			10	ms
Reversion time from suspend to high-speed	t <sub>RHS</sub>			1.333	μs
Drive Chirp K width	t <sub>CKO</sub>		1		ms
Finish Chirp K assertion	t <sub>FCA</sub>			7	ms
Start sequencing Chirp K-J-K-J-K-J	t <sub>SSC</sub>			100	μs
Finish sequencing Chirp K-J	t <sub>FSC</sub>		-500	-100	μs
Detect sequencing Chirp K-J width	t <sub>CSI</sub>		2.5		μs
Sample time for sequencing Chirp	t <sub>SCS</sub>		1	2.5	ms
Reversion time to high-speed	t <sub>RHA</sub>			500	μs
High-speed detection start time	t <sub>HDS</sub>		2.5	3000	μs
Reset completed time	t <sub>DORS</sub>		10		ms

IDEインタフェース・ブロック

PIOモード

項目	略号	Mode 0	Mode 1	Mode 2	Mode 3	Mode 4	単位
Cycle time (min.)	t <sub>0</sub>	600	383	240	180	120	ns
Address setup time (min.)	t <sub>1</sub>	70	50	30	30	25	ns
16 bits DIOR/DIOW pulse width (min.)	t <sub>2</sub>	165	125	100	80	70	ns
8 bits DIOR/DIOW pulse width (min.)		290	290	290	80	70	ns
DIOR/DIOW recovery time (min.)	t <sub>2i</sub>	-	-	-	70	25	ns
DIOW data setup time (min.)	t <sub>3</sub>	60	45	30	30	20	ns
DIOW data hold time (min.)	t <sub>4</sub>	30	20	15	10	10	ns
DIOR data setup time (min.)	t <sub>5</sub>	50	35	20	20	20	ns
DIOR data hold time (min.)	t <sub>6</sub>	5	5	5	5	5	ns
DIOR 3-state delay time (max.)	t <sub>6z</sub>	30	30	30	30	30	ns
Address hold time (min.)	t <sub>9</sub>	20	15	10	10	10	ns
IORDY read data valid time (min.) 注	t <sub>RD</sub>	0	0	0	0	0	ns
IORDY setup time (min.) 注	t <sub>A</sub>	35	35	35	35	35	ns
IORDY pulse width (max.) 注	t <sub>B</sub>	1250	1250	1250	1250	1250	ns
IORDY inactive to Hi-Z time (max.) 注	t <sub>C</sub>	5	5	5	5	5	ns

注 IORDYはMode 0 - 2ではオプションです。一方, Mode 3 - 4では必須となります。

Multi Word DMAモード

項目	略号	Mode 0	Mode 1	Mode 2	単位
Cycle time (min.)	t <sub>0</sub>	480	150	120	ns
DIOR/DIOW pulse width (min.)	t <sub>D</sub>	215	80	70	ns
DIOR data access time (max.)	t <sub>E</sub>	150	60	50	ns
DIOR data hold time (min.)	t <sub>F</sub>	5	5	5	ns
DIOR data setup time (min.)	t <sub>Gr</sub>	100	30	20	ns
DIOW data setup time (min.)	t <sub>Gw</sub>	100	30	20	ns
DIOW data hold time (min.)	t <sub>H</sub>	20	15	10	ns
DMACK data setup time (min.)	t <sub>I</sub>	0	0	0	ns
DMACK data hold time (min.)	t <sub>J</sub>	20	5	5	ns
DIOR negate pulse width (min.)	t <sub>Kr</sub>	50	50	25	ns
DIOW negate pulse width (min.)	t <sub>Kw</sub>	215	50	25	ns
DIOR-DMARQ delay time (max.)	t <sub>Lr</sub>	120	40	35	ns
DIOW-DMARQ delay time (max.)	t <sub>Lw</sub>	40	40	35	ns
DMACK 3-state delay time (max.)	t <sub>Z</sub>	20	25	25	ns
CS setup time (min.)	t <sub>M</sub>	50	30	25	ns
CS hold time (min.)	t <sub>N</sub>	15	10	10	ns

Ultra DMAモード

項目	略号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Average cycle time for 2 cycles	t <sub>2CYC</sub>	240	-	160	-	120	-	90	-	60	-	ns
Minimum cycle time for 2 cycles	t <sub>2CYC</sub>	235	-	156	-	117	-	86	-	57	-	ns
Cycle time for 1 cycle	t <sub>CYC</sub>	114	-	75	-	55	-	39	-	25	-	ns
Data setup time on receive side	t <sub>DS</sub>	15	-	10	-	7	-	7	-	5	-	ns
Data hold time on receive side	t <sub>DH</sub>	5	-	5	-	5	-	5	-	5	-	ns
Data setup time on transmit side	t <sub>DVS</sub>	70	-	48	-	34	-	20	-	6	-	ns
Data hold time on transmit side	t <sub>DVH</sub>	6	-	6	-	6	-	6	-	6	-	ns
First STROBE time	t <sub>FS</sub>	0	230	0	200	0	170	0	130	0	120	ns
Interlock time with limitation	t <sub>LI</sub>	0	150	0	150	0	150	0	100	0	100	ns
Minimum interlock time	t <sub>MLI</sub>	20	-	20	-	20	-	20	-	20	-	ns
Interlock time without limitation	t <sub>UI</sub>	0	-	0	-	0	-	0	-	0	-	ns
Output release time	t <sub>AZ</sub>	-	10	-	10	-	10	-	10	-	10	ns
Output delay time	t <sub>ZAH</sub>	20	-	20	-	20	-	20	-	20	-	ns
Output stabilization time (from release)	t <sub>ZAD</sub>	0	-	0	-	0	-	0	-	0	-	ns
Envelope time	t <sub>ENV</sub>	20	70	20	70	20	70	20	55	20	55	ns
STROBE DMARDY delay time	t <sub>SR</sub>	-	50	-	30	-	20	-	NA	-	NA	ns
Last STROBE time	t <sub>RFS</sub>	-	75	-	60	-	50	-	60	-	60	ns
Pause time	t <sub>RP</sub>	160	-	125	-	100	-	100	-	100	-	ns
IORDY pull-up time	t <sub>IORYZ</sub>	-	20	-	20	-	20	-	20	-	20	ns
IORDY wait time	t <sub>ZIORY</sub>	0	-	0	-	0	-	0	-	0	-	ns
DMACK setup/hold time	t <sub>ACK</sub>	20	-	20	-	20	-	20	-	20	-	ns
STROBE STOP time	t <sub>SS</sub>	50	-	50	-	50	-	50	-	50	-	ns



シリアルROMインタフェース・ブロック

項目	略号	条件	MIN.	MAX.	単位
Clock frequency	$t_{SCL}$			100	kHz
Clock pulse width low	$t_{LOW}$		4.7		μs
Clock pulse width high	$t_{HIGH}$		4.0		μs
Clock low to data valid	$t_{AA}$		100	4500	ns
Start hold time	$t_{HD.STA}$		4.0		μs
Start setup time	$t_{SU.STA}$		4.7		μs
Data in hold time	$t_{HD.DAT}$		0		ns
Data in setup time	$t_{SU.DAT}$		0.2		μs
Data out hold time	$t_{DH}$		50		ns
Stop setup time	$t_{SU.STO}$		4.7		μs
Time the bus must be free before a new transmission can start	$t_{BUF}$		10		μs
Write cycle time	$t_{WR}$		10		ms

図3 - 6 Transmit Waveform for Transceiver at DP/DM

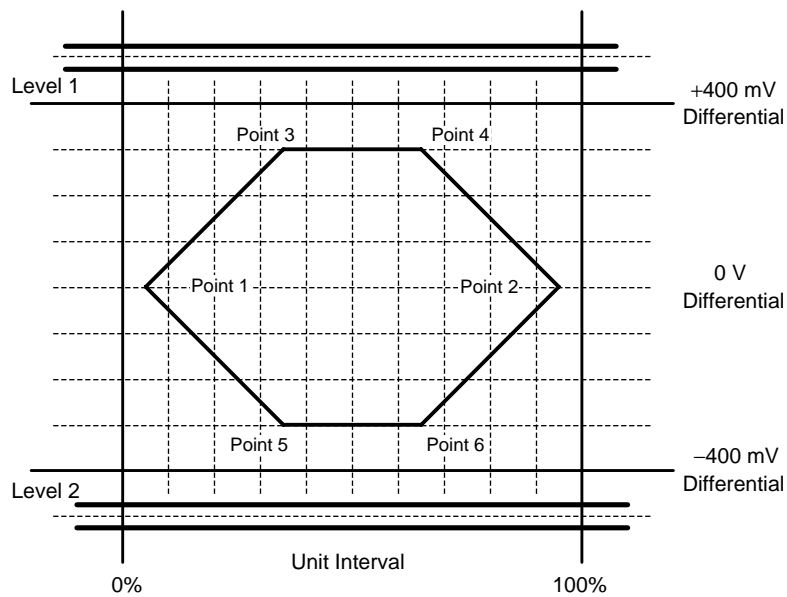
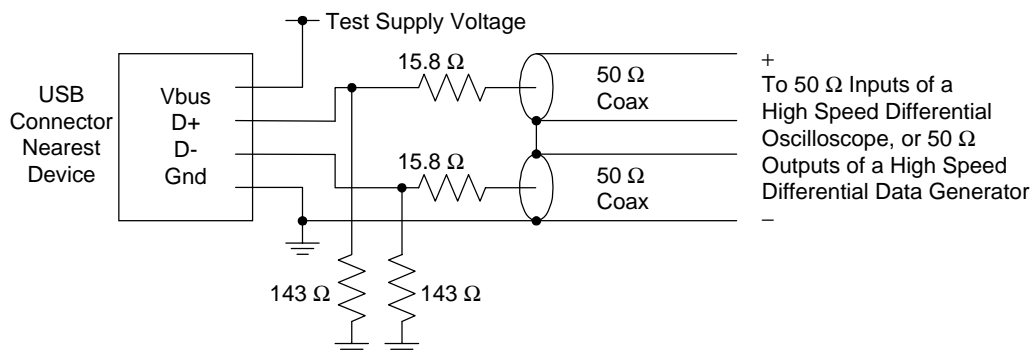
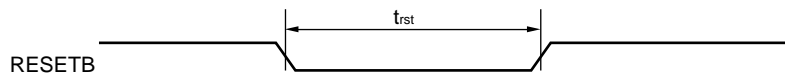


図3 - 7 Transmitter Measurement Fixtures



タイミング・チャート

System reset timing

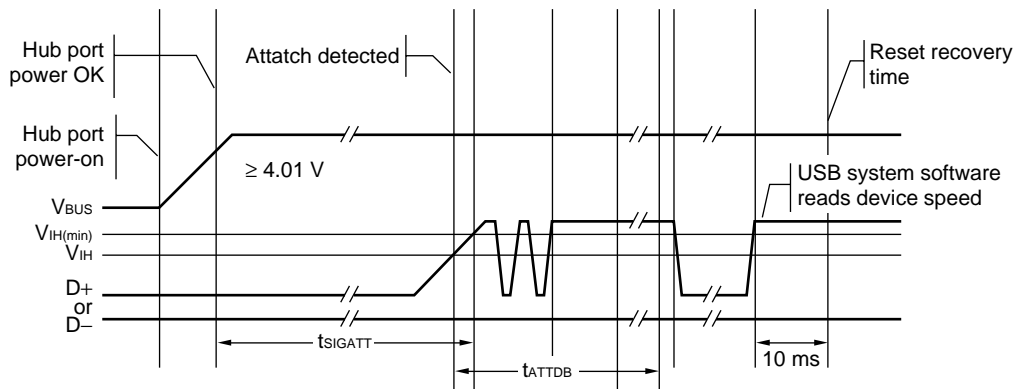


**備考** このチップはリセット解除後、シリアルROMの読み出しを行います。シリアルROM読み出しが完了する時間内にリセットしないでください。シリアルROM読み出し時間は、次の計算式で算出してください。

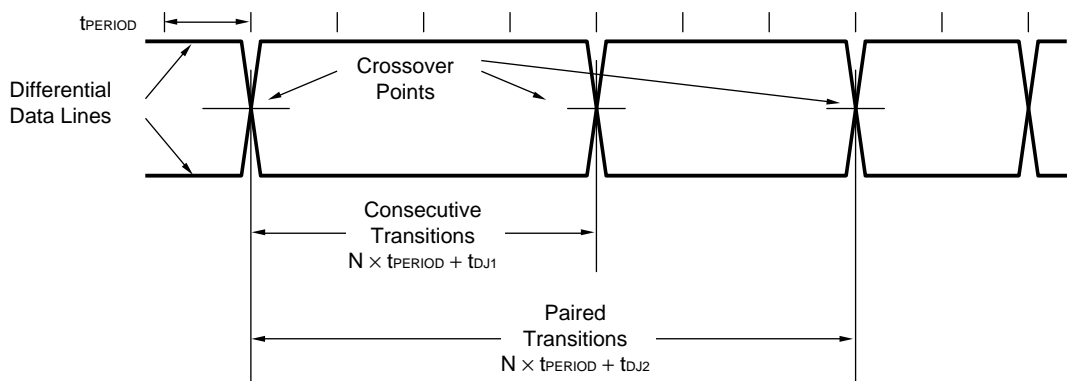
$$5 + 0.1197 \times \text{バイト数} + 0.5678 \text{ (ms)}$$

**例** 512バイト時66.855 ms, 8 Kバイト時986.15 ms

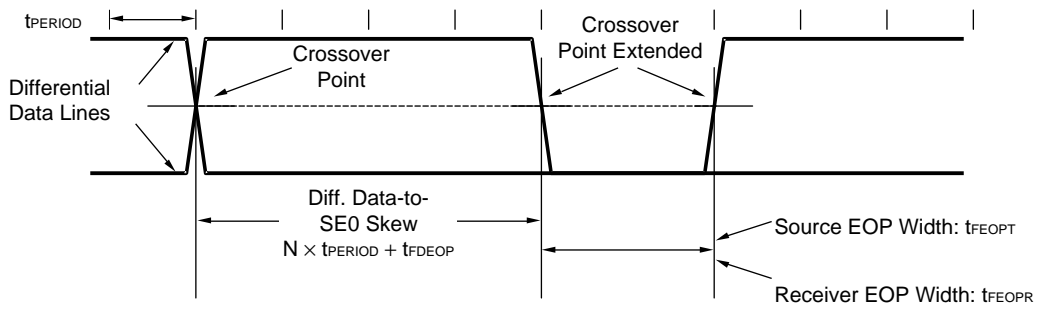
USB power-on and connection events



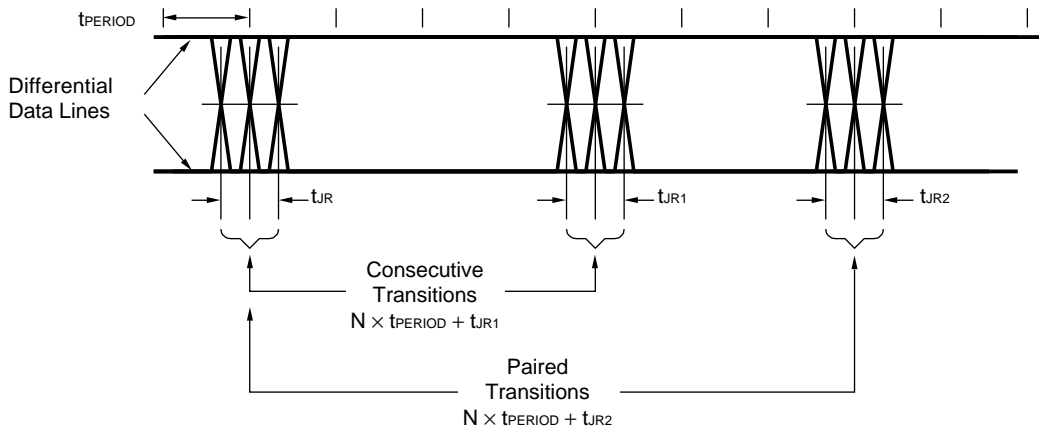
USB differential data jitter for full-speed



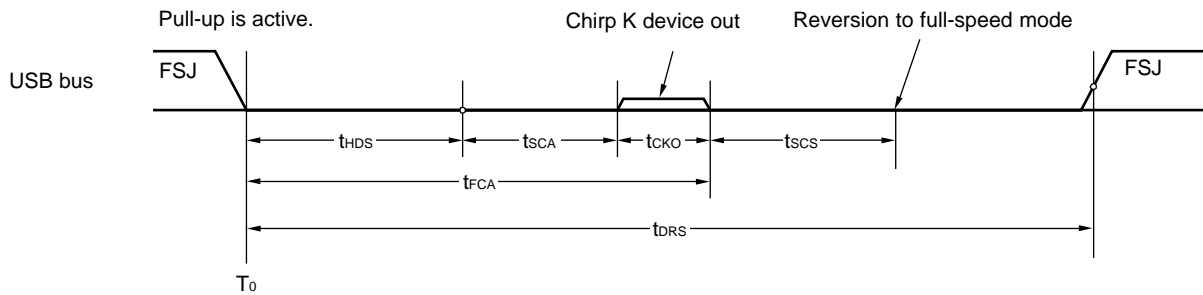
USB differential-to-EOP transition skew and EOP width for full-speed



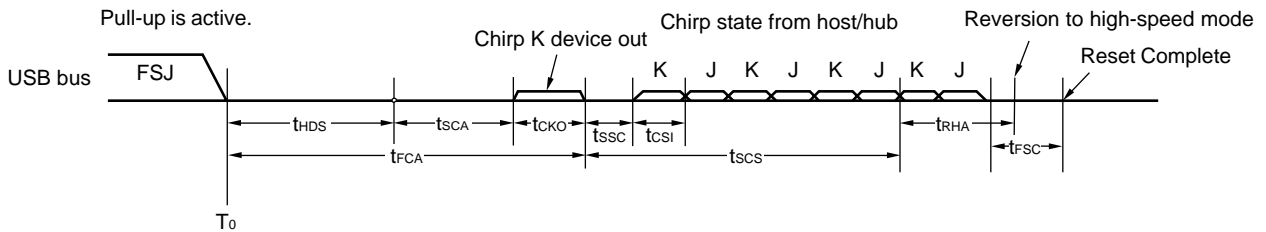
USB receiver jitter tolerance for full-speed



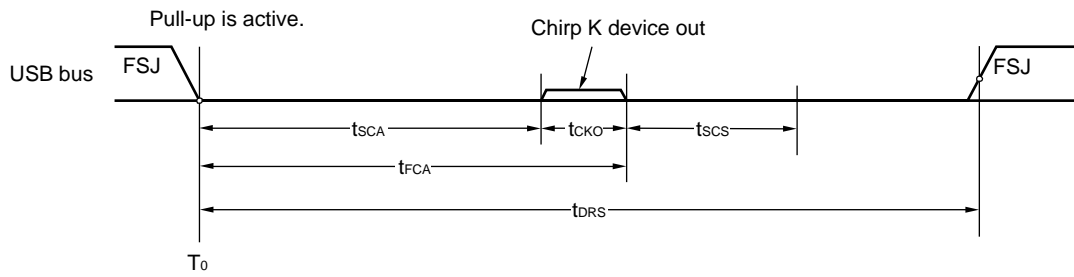
USB connection sequence on full-speed system bus



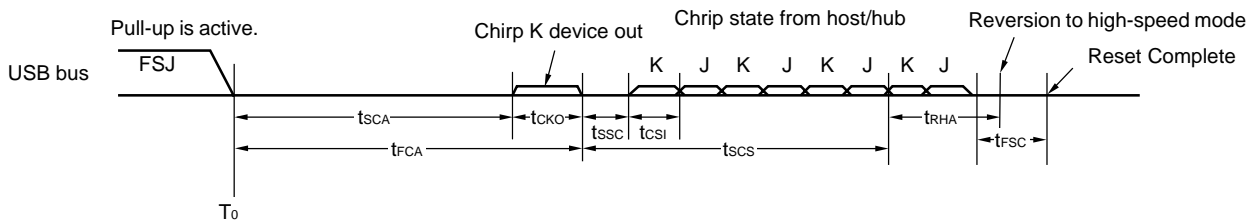
USB connection sequence on high-speed system bus



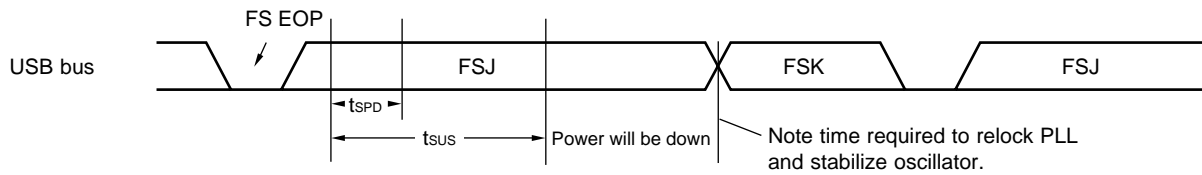
USB reset sequence from suspend state on full-speed system bus



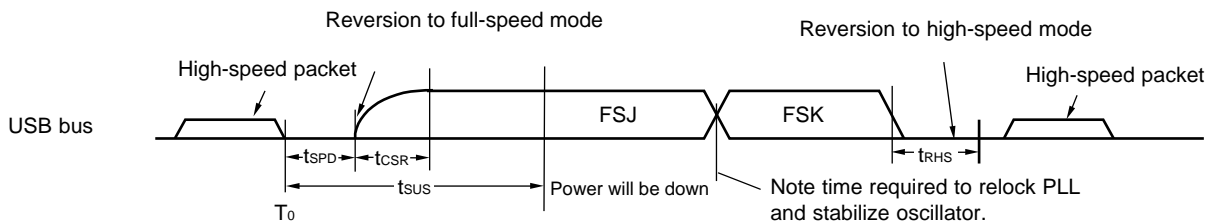
USB reset sequence from suspend state on high-speed system bus



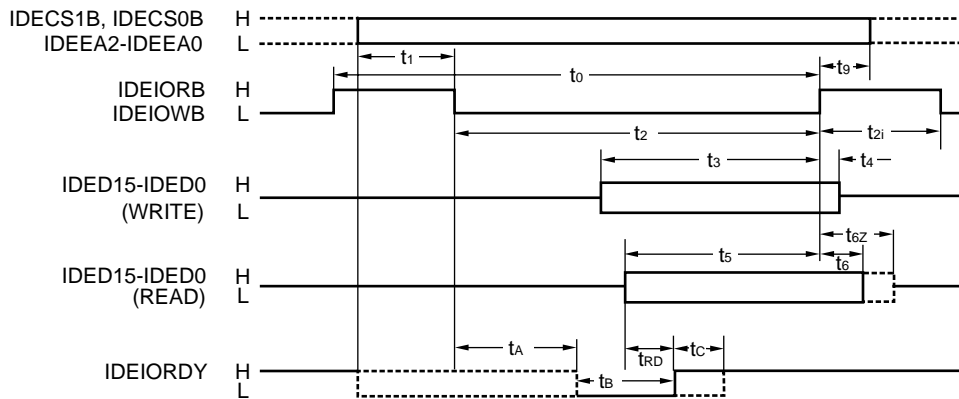
USB suspend and resume on full-speed system bus



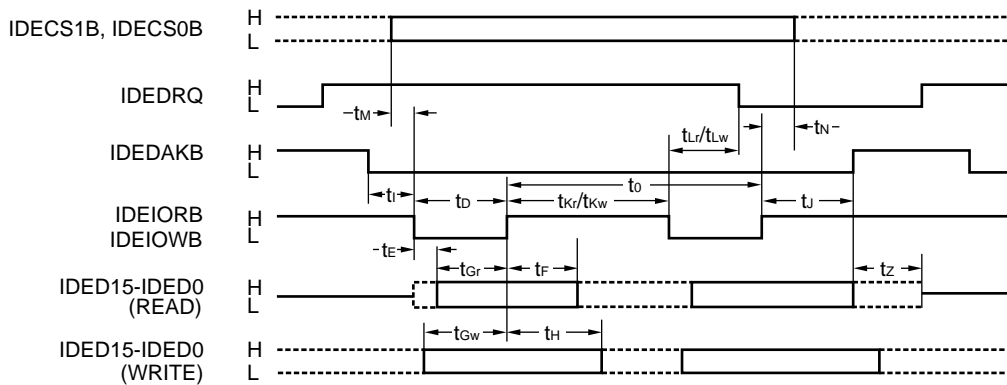
USB suspend and resume on high-speed system bus



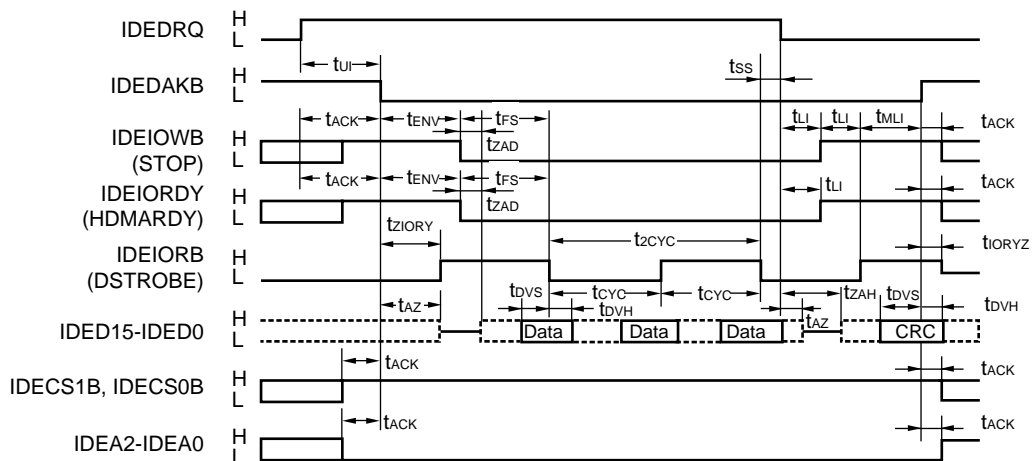
IDE PIO mode timing



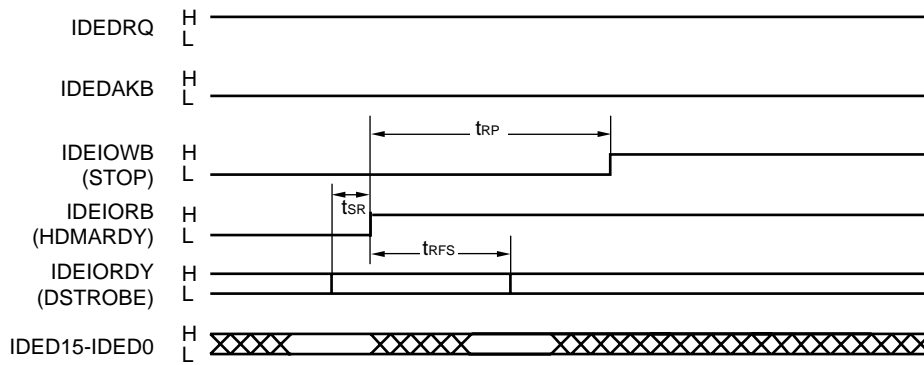
IDE multi word DMA mode timing



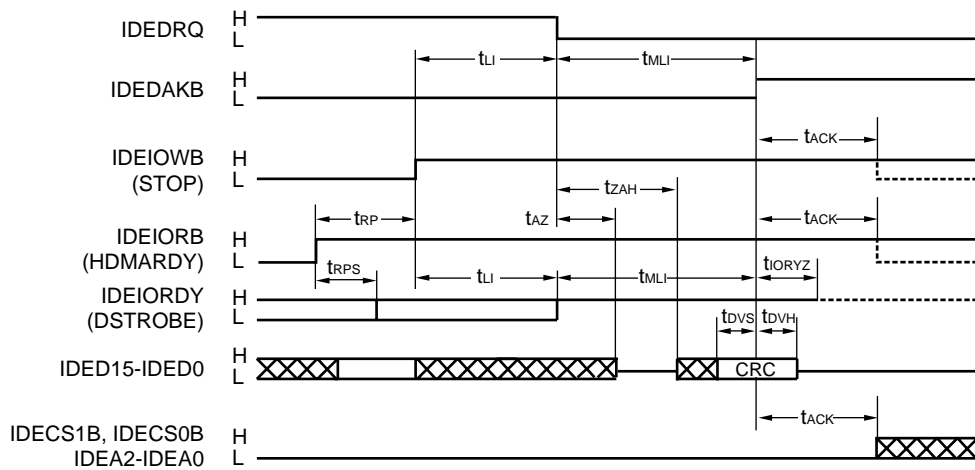
IDE ultra DMA mode data-in timing



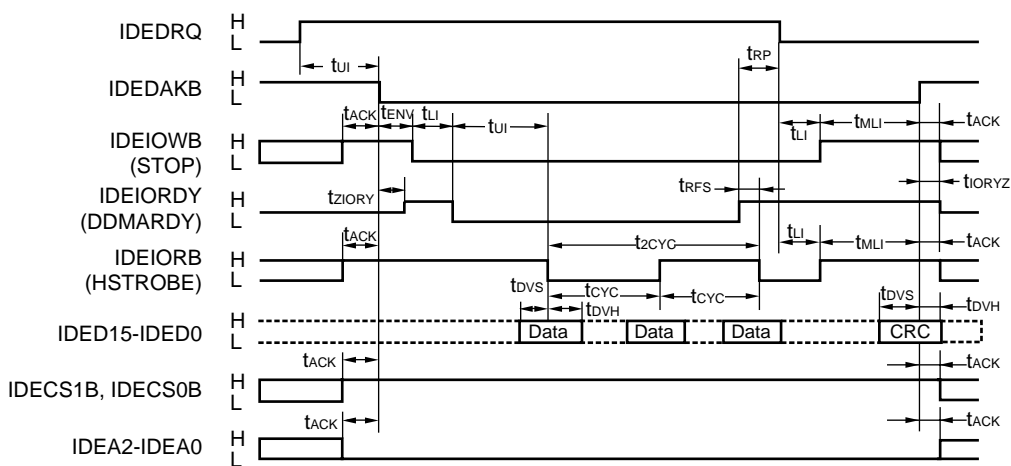
IDE ultra DMA mode data-in stop timing



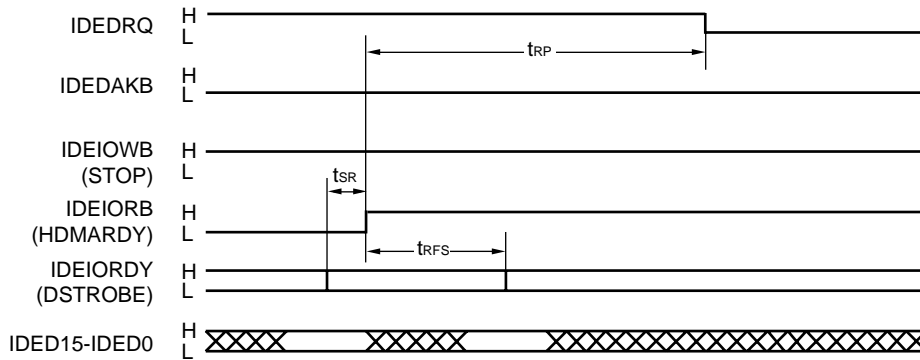
IDE ultra DMA mode data-in end timing



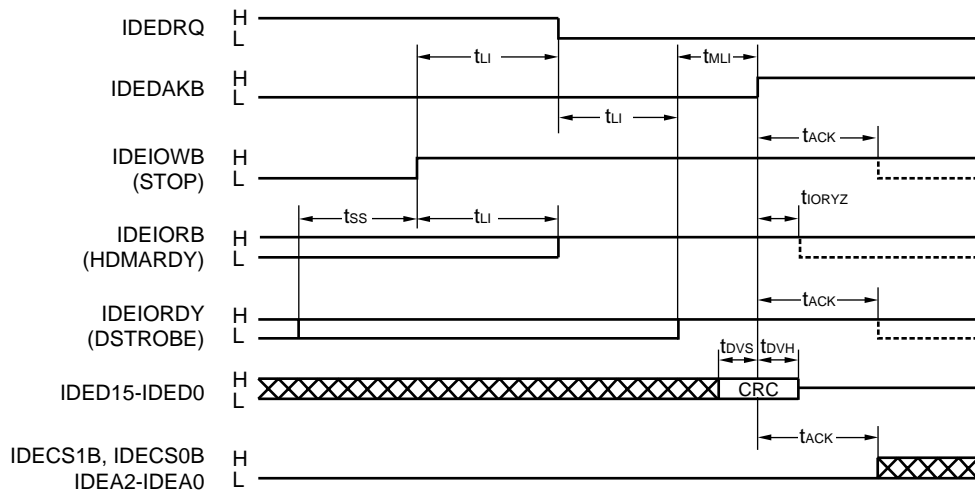
IDE ultra DMA mode data-out timing



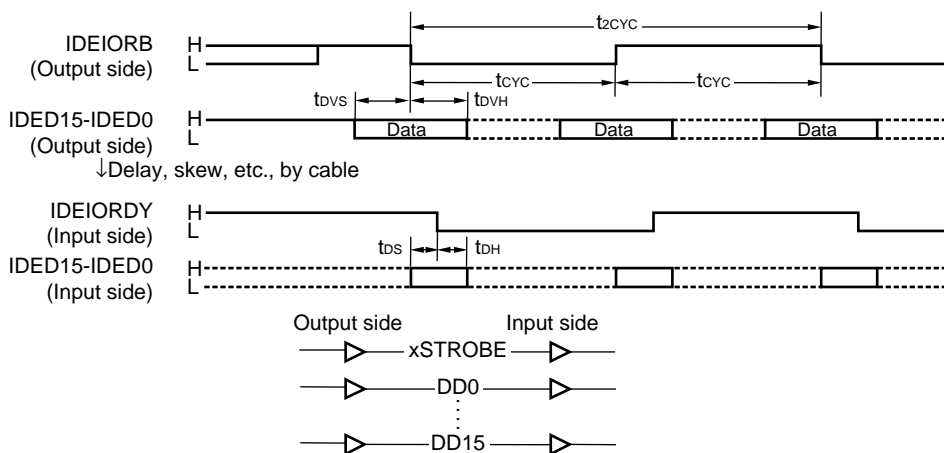
IDE ultra DMA mode data-out stop timing



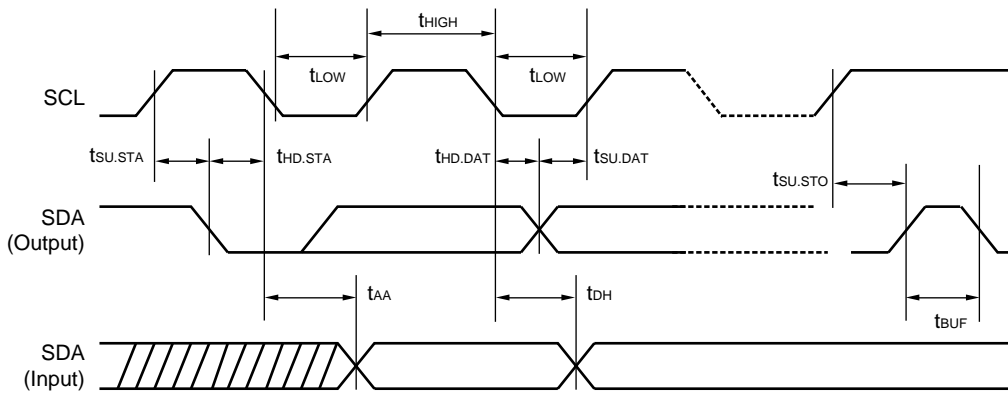
IDE ultra DMA mode data-out end timing



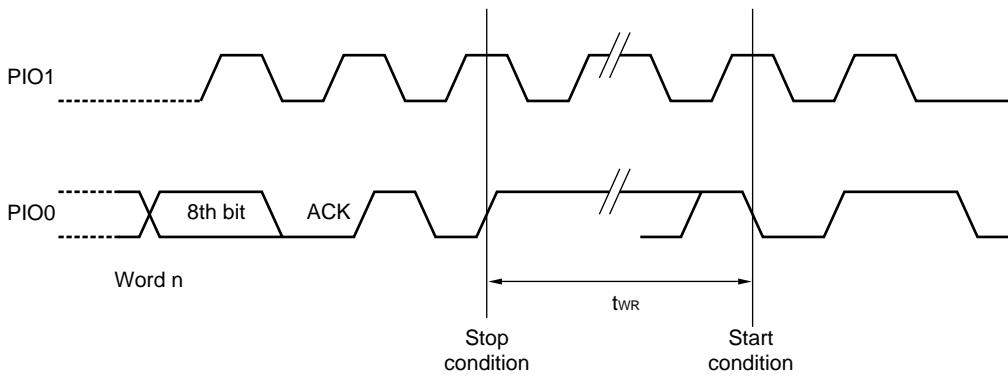
IDE ultra DMA mode data skew timing



Serial ROM access timing



Serial ROM write cycle timing

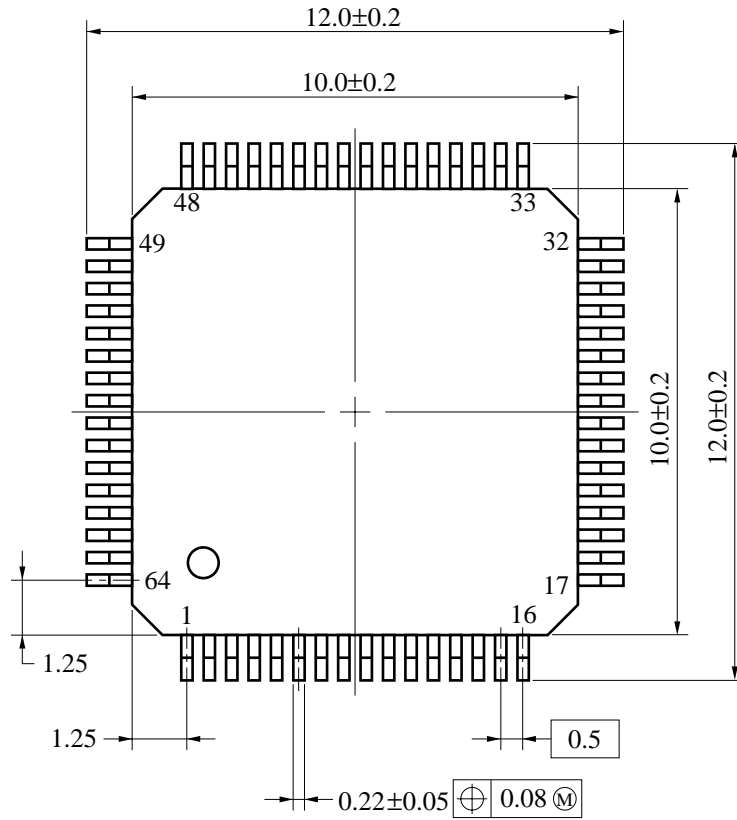




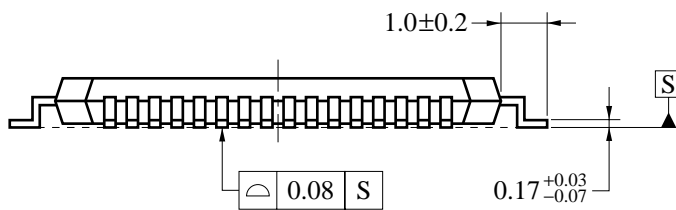
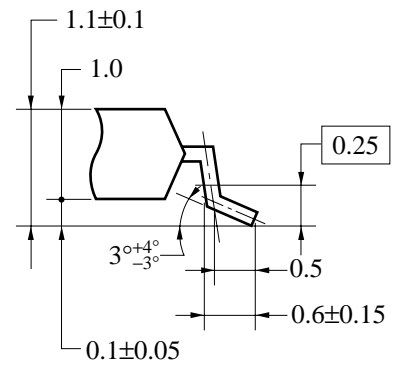
4. 外形図

- ・ μPD720133GB-YEU-A
- ・ μPD720133GB-YEU-Y

64ピン・プラスチック TQFP (ファインピッチ) (10x10) 外形図 (単位: mm)



端子先端形状詳細図



S64GB-50-YEU-1

5. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」( <http://www.necel.com/pkg/ja/jissou/index.html> )

表5 - 1 表面実装タイプの半田付け推奨条件

- μPD720133GB-YEU-A / μPD720133GB-YEU-Y : 64ピン・プラスチックTQFP (ファインピッチ) (10×10)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度 : 260 ピーク温度の時間 : 10秒以内 220 以上の時間 : 60秒以内 プリヒート時間 : 60 ~ 120秒 ( 160 ~ 180 の時間 ) 最多リフロ回数 : 3回以内 制限日数 : 3日間 <sup>注</sup> (以降は125 プリバーク10時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は、包装状態でのベーキングができません。	IR60-103-3
端子部分加熱	端子温度 : 300 以下, 時間 : 3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後、保管制限で、保管条件は25 , 65%(RH)以下。

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EEPROMは、NECエレクトロニクス株式会社の商標です。

- 本資料に記載されている内容は2004年6月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

## 【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特约店へお申し付けください。